

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-298025**

(43)Date of publication of application : **17.10.2003**

(51)Int.Cl.

H01L 27/105

G11C 11/15

H01L 43/08

(21)Application number : **2002-097889**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **29.03.2002**

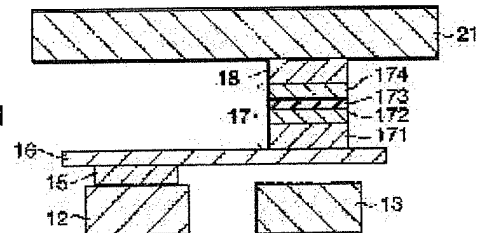
(72)Inventor : **TAKAHASHI SHIGEKI  
SAITO YOSHIKI  
UEDA TOMOMASA  
YODA HIROAKI  
AMANO MINORU  
KISHI TATSUYA  
NISHIYAMA KATSUYA  
ASAO YOSHIKI  
IWATA YOSHIHISA**

## (54) MAGNETIC STORAGE DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a magnetic storage device which can prevent increase in the switching magnetic field and can realize stable storage holding operation, even if an element becomes microminiaturized.

**SOLUTION:** The magnetic storage device comprises a tunnel magnetoresistance effect element, having the junction including a recording layer which is formed of a ferromagnetic material in which the switching magnetic field changes with temperature, to change the magnetizing direction with external magnetic field, an insulation layer and a magnetized deposition layer formed of a ferromagnetic material, a temperature control layer laminated on the recording layer of the tunnel magnetoresistance effect element, and bit lines and digit lines which are allocated in the direction to cross with each other in order to give the current field for writing operation to the tunnel magnetoresistance effect element. When data is written to the tunnel magnetoresistance effect element, a current larger than that in the read operation is supplied.



## LEGAL STATUS

[Date of request for examination]

17.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-298025  
(P2003-298025A)

(43) 公開日 平成15年10月17日 (2003. 10. 17)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/105		G 1 1 C 11/15	1 1 0 5 F 0 8 3
G 1 1 C 11/15	1 1 0		1 4 0
	1 4 0	H 0 1 L 43/08	Z
H 0 1 L 43/08		27/10	4 4 7

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2002-97889 (P2002-97889)

(22) 出願日 平成14年3月29日 (2002. 3. 29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 高橋 茂樹

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 斉藤 好昭

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

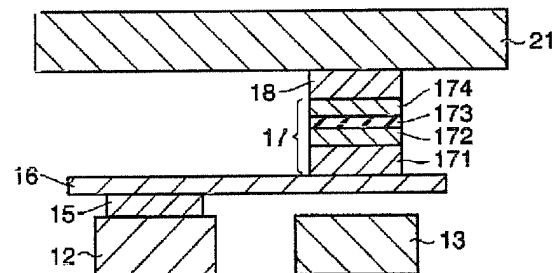
最終頁に続く

(54) 【発明の名称】 磁気記憶装置

(57) 【要約】

【課題】 素子を微細化しても、スイッチング磁界の増大を防止でき、かつ安定な記憶保持動作を実現できる磁気記憶装置を提供する。

【解決手段】 温度によってスイッチング磁界が変化する強磁性体で形成され外部磁界により磁化方向が変化する記録層、絶縁層、および強磁性体で形成された磁化固着層を含む接合を持つトンネル磁気抵抗効果素子と、前記トンネル磁気抵抗効果素子の記録層に積層された温度制御層と、前記トンネル磁気抵抗効果素子に書き込み用の電流磁界を与える、互いに交差する方向に配置されたビット線およびディジット線とを有し、前記トンネル磁気抵抗効果素子への書き込み時に、読み出し時よりも大きい電流が通電される磁気記憶装置。



## 【特許請求の範囲】

【請求項1】 温度によってスイッチング磁界が変化する強磁性体で形成され外部磁界により磁化方向が変化する記録層、絶縁層、および強磁性体で形成された磁化固着層を含む接合を持つトンネル磁気抵抗効果素子と、前記トンネル磁気抵抗効果素子に書き込み用の電流磁界を与える、互いに交差する方向に配置されたビット線およびディジット線と、前記ビット線と前記トンネル磁気抵抗効果素子との間、または前記ディジット線と前記トンネル磁気抵抗効果素子との間に設けられた温度制御層とを有することを特徴とする磁気記憶装置。

【請求項2】 前記温度制御層が、発熱抵抗体で形成された加熱層であることを特徴とする請求項1に記載の磁気記憶装置。

【請求項3】 前記トンネル磁気抵抗効果素子への書き込み時に、読み出し時よりも大きい電流が通電されることを特徴とする請求項2に記載の磁気記憶装置。

【請求項4】 前記温度制御層が、熱電効果を有する層であることを特徴とする請求項1に記載の磁気記憶装置。

【請求項5】 前記記録層が、磁気相転移を起こす強磁性体で形成されていることを特徴とする請求項1乃至4のいずれかに記載の磁気記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、強磁性層／絶縁層／強磁性層の接合を有し外部磁界によりトンネル抵抗が変化するトンネル磁気抵抗効果を記憶素子として用いた高集積の磁気記憶装置に関する。

## 【0002】

【従来の技術】 近年、不揮発性、高速性、長期信頼性などの特徴を持つ磁気記憶装置としてトンネル磁気抵抗効果（TMR：Tunneling Magneto-Resistance effect）を利用した磁気的ランダムアクセスメモリ（MRAM：Magnetic Random Access Memory）が提案されている。その動作原理については、例えば、S. Tehrani et al. によって "Recent Developments in Magnetic Tunnel Junction MRAM" IEEE Trans. Magn., vol. 36, p.2752, 2000 に述べられている。

【0003】 上記MRAMの動作原理に関して以下に簡単に説明する。まず、トンネル磁気抵抗効果を得るための主要部分である磁気的トンネル接合（MTJ：Magnetic Tunnel Junction）は、絶縁層を2つの強磁性層で挟んだ構造を有しており、一方の強磁性層を外部磁界により磁化方向が変化する記録層とし、他方の強磁性層を磁化固着層としている。このMTJは、2つの強磁性層における磁化の向きが互いに平行である場合と互いに反平行である2通りの場合が安定状態であるような構造に作られる。

【0004】 磁化の向きが上下の強磁性層で互いに平行

になった場合、MTJ層を通して流れるトンネル電流は最も大きく、つまりトンネル抵抗は最も小さい。一方、磁化の向きが上下の強磁性層で互いに反平行になった場合、トンネル電流は小さく、つまりトンネル抵抗は最も大きい。このようにある磁界範囲において、トンネル抵抗が2つの状態を取ることににより、それぞれの状態に“1”と“0”を記憶させることができる。

【0005】 このMTJ層を通した電気抵抗の外部磁界に対する変化は、図5に示すようないわゆるヒステリシス曲線となる。このとき、記録層の磁化を反転させるために必要な磁界がスイッチング磁界であり、その大きさはMTJ層の構造に大きく依存する。

【0006】 図6にMRAMのメモリセルの構造を概略的に示す。シリコン基板61上にはゲート酸化膜を介してゲート電極（ワード線）62が形成されており、ゲート電極62の両側のシリコン基板61表面にはソース／ドレイン領域63、64が形成されている。ソース領域63には、グランド線65が接続されている。ドレイン領域64には接続プラグ66が接続されている。接続プラグ66には下部電極68が接続され、この下部電極68上にMTJ層69が形成されている。MTJ層69の下方には図6の紙面に垂直な方向に延びるディジット線67が形成され、MTJ層69の上方にはディジット線67と交差する方向に延びるビット線70が形成されている。

【0007】 記憶動作としてMTJ層69に“1”または“0”の情報を書き込むには、互いに交差する方向に配置された一対のビット線70およびディジット線67を選択し、これらの両方に電流を流して電流磁界を各々発生させる。この電流磁界の大きさを適切に選ぶと、ビット線70とディジット線67とのクロスポイントに位置している選択セルのMTJ層69にかかる磁界のみがスイッチング磁界を超えるので、目的とする情報がMTJ層69に書き込まれる。

【0008】 一方、MTJ層に書き込まれた“1”または“0”の情報を読み出すには、選択トランジスタとしてのMOSFETのゲート電極（読み出し用のワード線）62に電圧を印加して選択トランジスタをオン状態とし、ビット線70からMTJ層69を通してグランド線65に流れる電流値を検出して、異なるTMR素子間のトンネル抵抗の違いを読み取ることににより、“1”または“0”の情報の判定が行われる。

【0009】 以上のように、強磁性層／絶縁層／強磁性層で構成されたMTJ層を有するMRAM構造によって磁気記憶装置としての動作が得られる。しかし、将来的にさらなる高集積化を達成するためには幾つかの問題がある。

【0010】 前述したように、各メモリセルの記録層の磁気特性に由来するスイッチング磁界強度により、書き込み配線としてのビット線とディジット線に流す電流量

が決まる。ところが、素子の微細化に伴い記録層としての強磁性体のサイズが小さくなるにつれてスイッチング磁界が増大するという特性がある。このため、電流磁界配線に流す電流量が増大し、MRAMの消費電力が増大するという問題や高速動作の妨げとなるという問題が生じる。

【0011】逆に、MTJ構造を工夫してスイッチング磁界の増大を抑えたり、磁性体を併用した複雑な配線構造により少ない電流でも大きな電流磁界を生じさせる構造を採用した場合には、電流磁界により目的とするメモリセルに隣接するメモリセルにも書き込みがなされるというクロストークの問題や、記憶保持動作の長期安定性が損なわれるという問題がある。

【0012】さらに、素子の微細化に伴う素子形状のばらつきの増大によるスイッチング磁界のばらつきの増大に対しては、ばらつきを考慮して余分に動作マージンを取った大きな周辺回路が必要になるなどの問題があり、高集積化を妨げる要因になる。

【0013】

【発明が解決しようとする課題】上記のように、MTJ層を記憶素子に用いた従来のMRAMでは、将来のさらなる高集積化の要求に対応して微細化する上で問題があった。

【0014】本発明の目的は、素子を微細化しても、スイッチング磁界の増大を防止でき、かつ安定な記憶保持動作を実現できる磁気記憶装置を提供することにある。

【0015】

【課題を解決するための手段】本発明の一態様に係る磁気記憶装置(MRAM)は、温度によってスイッチング磁界が変化する強磁性体で形成され外部磁界により磁化方向が変化する記録層、絶縁層、および強磁性体で形成された磁化固着層を含む接合を持つトンネル磁気抵抗効果素子と、前記トンネル磁気抵抗効果素子に書き込み用の電流磁界を与える、互いに交差する方向に配置されたビット線およびディジット線と、前記ビット線と前記トンネル磁気抵抗効果素子との間、または前記ディジット線と前記トンネル磁気抵抗効果素子との間に設けられた温度制御層とを有することを特徴とする特徴とする。

【0016】

【発明の実施の形態】以下、本発明の実施形態を説明する。本発明の実施形態においては、記録層に温度変化によってスイッチング磁界が変化する強磁性体を用い、この記録層に対して温度制御層を積層する。温度制御層としては発熱抵抗体層や熱電効果半導体層等が用いられ、記録層の温度を上昇させたり、逆に温度を低下させたりして記録層のスイッチング磁界を制御する。

【0017】このような構成により、書き込み時には記録層を磁氣的にソフトにして小さなスイッチング磁界で容易に磁化を反転させることができるようにするとともに、記憶保持動作時および読み出し時には記録層を磁気

的にハードにして安定性を増大させることが可能となる。

【0018】以下、図面を参照しながら、本発明の実施形態を詳細に説明する。図1は、本発明の一実施形態に係る磁気記憶装置(MRAM)の1メモリセルを示す断面図である。

【0019】図1に示すように、ワード線12とディジット線13とが同一のレベルで形成されている。ディジット線13は図1の紙面に垂直な方向に延びている。ワード線12上にはコンタクト層15が形成され、このコンタクト層15に接続して下部電極16が形成されている。前記ディジット線13上方に対応する下部電極16上にMTJ層17および発熱抵抗体層18が形成されている。MTJ層17は、反強磁性層171、磁化固着層172、例えば1~2nm程度の $AlO_x$ からなる絶縁層(トンネルバリア)173、記録層(磁化自由層)174を順次積層した接合構造を有する。発熱抵抗体層18にはディジット線13と交差する方向に延びるビット線21が接続されている。

【0020】なお、図1は記録層174とそれに隣接した発熱抵抗体層18をビット線21側に設けた構造であるが、発熱抵抗体18およびMTJ層17の上下を逆転してディジット線13側に発熱抵抗体層18と記録層174を設けてもよい。

【0021】MTJ層17の記録層174は、温度によってスイッチング磁界が変化する強磁性体で形成されており、この実施例では温度が上昇するほどスイッチング磁界が低下する強磁性体が用いられている。

【0022】このMRAMにおいて、MTJ層17に情報を書き込むには、互いに交差する方向に配置された一対のビット線21およびディジット線13ならびにワード線12を選択する。すなわち、ビット線21およびディジット線13の両方に通電して電流磁界を各々発生させるとともに、ビット線21から発熱抵抗体層18、MTJ層17、ワード線12へ電流を流すことにより発熱抵抗体層18を発熱させてMTJ層17を加熱する。この結果、MTJ層17の記録層174の磁気特性はソフトになりスイッチング磁界が低下するので、ビット線21およびディジット線13に低電流を流して低いスイッチング磁界で書き込みが可能になり、消費電力の増大を防止することができる。

【0023】このとき、同じビット線につながる各セルには電流が流れるため各セルの発熱抵抗体は発熱するが、目的とするディジット線による電流磁界が印加されないため記録層の磁化は反転しない。また、同じディジット線上に並ぶ各セルにはディジット線からの電流磁界が及ぶが、記録層は加熱されないためその磁気特性はハードのままであり、ディジット線からの電流磁界では磁化が反転しない。したがって、記録層の加熱によるソフト磁気化と電流磁界印加が同時に行われるクロスポイン

トにあるメモリセルのみでスイッチング動作がなされる。

【0024】一方、MTJ層17に書き込まれた情報を読み出すには、ワード線12を選択してビット線21から発熱抵抗体層18、MTJ層17、ワード線12へセンス電流を流し、トンネル抵抗を検出する。ここで、図1のメモリセルの構成はスイッチング素子を持たない単純マトリクス構造であるが、ワード線12とディジット線13を分離することにより、簡単な周辺回路構成で参照セルとの比較を行うことによって読み出しが可能になっている。このとき、MTJ層17に生じる磁気抵抗変化を有効に検出するためには、発熱抵抗体18の抵抗値はMTJ層17の抵抗値と同程度以下であることが望ましい。

【0025】上記のように本発明の実施形態に係るMRAMでは、読み出し時だけでなく書き込み時にもMTJ層17に通電する点が従来のMRAMとは異なる。そして、書き込みにMTJ層17に通電される電流値を、読み出しMTJ層17に通電される電流値よりも大きくするように設定する。すなわち、書き込み時にはMTJ層17が発熱抵抗体層18の発熱によって十分加熱されるようにして書き込みを容易にする。一方、読み出し時には磁気抵抗変化を検出できる程度の低いセンス電流を流す。これは、読み出し時に大電流を流すと、発熱抵抗体層18の発熱によってMTJ層17が加熱されすぎて、既に記録されている磁化情報が消去されるおそれがあるためである。

【0026】次に、本発明の実施形態に係るMRAMの各構成部材について、より詳細に説明する。

【0027】記録層の材料として、Fe、Co、Niを含む多くの強磁性合金は、温度上昇によってスイッチング磁界が減少するため、適用可能である。また、記録層の材料としては、読み出し時の記録層の温度におけるスイッチング磁界が比較的大きく、かつ書き込み時の記録層の温度よりもやや高いキュリー温度を持ち、温度に対するスイッチング磁界の変化が大きいものが好ましい。

【0028】記録層の材料として、温度上昇によって磁氣的相転移を起こして強磁性が消失する材料も用いることができる。この場合、記録層を加熱して強磁性を消失させた後、冷却して強磁性を生じさせる際に、ディジット線による電流磁界を印加することにより、メモリセルに情報を書き込むことができる。

【0029】発熱抵抗体は、MTJ層と直列に接続されているため、実効的な磁気抵抗変化量を大きくするにはなるべく小さい抵抗値が好ましいが、逆に発熱量を大きくするには大きい抵抗値が好ましい。これらの兼ね合いとして、発熱抵抗体の抵抗値をMTJ層と例えば同程度とする。

【0030】いま、1 Gbit級のMRAMを想定した場合のMTJ層のサイズは幅 $0.1\mu\text{m}$ ×長さ $0.1\mu$

m程度であり、望ましい接合抵抗のRAは $1\text{k}\Omega\mu\text{m}^2$ 程度であるから、そのときの接合抵抗は約 $100\text{k}\Omega$ となる。発熱抵抗体の抵抗を、接合抵抗と同じ $100\text{k}\Omega$ とするためには、MTJ層に直接つながる発熱抵抗体のサイズを幅 $0.1\mu\text{m}$ ×長さ $0.1\mu\text{m}$ ×厚さ $0.05\mu\text{m}$ 程度と仮定して、 $2\Omega\text{cm}$ 程度の比抵抗を有する材料が選択される。このような数 $\Omega\text{cm}$ 程度の比抵抗値を有する材料としては、 $10^{19}\text{cm}^{-3}$ 程度の高濃度にドーブしたポリSiなどの半導体材料、 $\text{TiO}_x\text{N}_y$ や $\text{TaO}_x\text{N}_y$ などの金属酸化窒化膜、カルコゲナイドなどが挙げられる。

【0031】ここで、発熱抵抗体層に印加できる電力は、主に直列に接続されたMTJ層の耐圧によって制限される。 $\text{Al}_2\text{O}_3$ バリアを用いた二重接合のMTJ層の耐圧は3V以上あるから、1重接合の動作範囲を1.5Vとすると、同じ抵抗値を持つ発熱抵抗体にかかる電圧も同じ1.5V程度である。

【0032】上記サイズの発熱抵抗体を比抵抗 $2\Omega\text{cm}$ の材料で作製した場合、発熱抵抗体で消費される電力は1.5V印加時に $15\mu\text{W}$ である。上記サイズのポリSi発熱抵抗体に $15\mu\text{W}$ の電力を印加した場合、通電加熱による発熱抵抗体の温度上昇 $\Delta T$ は、電力パルスの印加時間を $50\text{ns}$ 、熱の逃げが無いと仮定して、約880Kとなる。この熱が主として発熱抵抗体の上下に伝導するので（横方向は熱伝導率の低い $\text{SiO}_2$ に囲まれているため）、発熱抵抗体に接するMTJ層の記録層の温度を、十分にスイッチング磁界が低下するまで上昇させることができる。

【0033】特に、発熱抵抗体／記録層／トンネルバリア／固着層という層構造では、発熱抵抗体から流れる熱が記録層を加熱する際に、その下の熱伝導率の低い $\text{Al}_2\text{O}_3$ トンネルバリア層が熱バリアとして働くため、より効果的に記録層を加熱することが可能である。

【0034】上述したように、本発明の実施形態に係るMRAMの動作の特徴は、書き込み動作時は発熱抵抗体が十分に発熱し記録層の温度を上昇させるように大電流を流し（バイアス電圧を高く設定）、読み出し動作時は高速読み出しに必要な出力電圧が得られる程度の電流を小さくする（バイアス電圧を低く設定）。

【0035】1 Gbit級のMRAMを想定した場合には、読み出し時のバイアス電圧は800mV程度となる。書き込み時のバイアス電圧はMTJ層の耐圧以内で、読み出し時のバイアス電圧よりも高く、例えば1.5V程度に設定する。このとき、発熱抵抗体の温度上昇の量を、書き込み時には記録層のスイッチング磁界が十分に低下するように、また読み出し時にはスイッチング磁界があまり低下しないように設計する。発熱抵抗体の温度上昇量は、発熱抵抗体材料の抵抗、体積、比熱を制御し、回路的には印加電圧、印加パルス幅を制御して設計することができる。

【0036】なお、特開2000-285668には、磁気メモリ素子に加熱手段を設けることにより、小さな動作磁界で、かつ隣接セルへの影響を低減させて情報の記録再生を行うことが記載されている。この公知文献においては、シート状の抵抗発熱層の上下にクロスポイント型に発熱用の配線を設け、選択した配線の交差部を加熱する方式となっている。また、メモリ素子の記録層は磁界印加用の配線の上に配置されており、抵抗発熱層とは配線をはさんだ反対側に位置する。しかし、このような構造では有効に記録層を加熱することが難しい。つまり、電流磁界配線は大電流を必要とするため、一般に配線の厚みが大きく、しかも比抵抗の小さい金属材料が用いられる。比抵抗の小さい金属材料は熱伝導率も高いため、このように厚い電流磁界配線の下側を加熱しても、その熱はほとんど電流磁界配線を流れて逃げてしまい、目的とするセルの記録層は十分に加熱されないと考えられる。逆に、記録層が十分に加熱されるような電力を印加した場合には、発熱は周辺のセルまで及んでクロストークを招くと考えられる。

【0037】これに対して本発明の実施形態に係るMRAMでは、記録層に接して発熱抵抗体を配置し通電加熱するので、熱の逃げを最小限に抑えて、有効に記録層を加熱することができる。

【0038】以上の議論をまとめると、従来のMRAMや上記公知文献に対する、本発明の実施形態に係るMRAMの構成上の特徴は以下の点にある。すなわち、

- (1) 記録層と発熱抵抗体を接して直列に設けていること
- (2) 発熱抵抗体の抵抗値を接合抵抗と同程度とすること
- (3) 通常の配線金属材料より比抵抗の高い材料を用いること
- (4) 書き込み時と読み出し時に接合を介して印加する電圧パルス（または電流パルス）の大きさを変化させること、である。

【0039】図2(a)～(d)を参照して図1のMRAMの製造方法を説明する。まず、図2(a)に示すように、周辺回路を有する下部基板上に、層間絶縁膜としての $\text{SiO}_2$ からなる第1の絶縁膜11を形成し、CMP (Chemical Mechanical Polishing) 法により平坦化する。この第1の絶縁膜上にスパッタ法により配線となる200nm厚程度の $\text{Al-Cu}$ 膜を堆積する。フォトリソグラフィにより形成したレジストマスクを用いて、RIE (Reactive Ion Etching) 法により $\text{Al-Cu}$ 膜をエッチングし、ワード線12およびディジット線13を形成する。このとき周辺回路とのコンタクト領域（図示せず）では、ワード線およびディジット線に対するコンタクトも同時に形成される。全面に第2の絶縁膜14を堆積し、フォトリソグラフィにより形成したレジストマスクを用いて、RIE法により第1のコンタクト層形

成用の溝を深さ約150nmとなるように形成する。MOCVD (Metal Organic Chemical Vapor Deposition) 法を用いて、溝内に例えばWを埋め込み、このWをCMP法で平坦化して第1のコンタクト層15を形成する。

【0040】次に、図2(b)に示すように、スパッタ法により全面に第2のコンタクト層（下部電極）16、MTJ層17、発熱抵抗体層18を形成し、さらに低温プラズマCVD法によりマスク材としてのDLC (Diamond Like Carbon) 層19を形成する。ここで、MTJ層17は、反強磁性層171、磁化固着層172、例えば1～2nm程度の $\text{AlO}_x$ からなる絶縁層（トンネルバリア）173、記録層（磁化自由層）174を順次積層した接合構造をなしている。次に、DLC層19をパターンニングした後、DLCパターンをマスクとして発熱抵抗体層18およびMTJ層17をエッチングする。

【0041】次に、図2(c)に示すように、 $\text{O}_2$ プラズマアッシングによりマスク材としてのDLCパターンを除去した後、全面に第3の絶縁層20を堆積し、エッチバック法により第3の絶縁層20を薄膜化する。レジストマスクを用いたエッチングにより第3の絶縁層20および第2のコンタクト層16のパターンニングを行う。

【0042】さらに、図2(d)に示すように、全面に第4の絶縁層を堆積した後、CMP法により平坦化を行う。この絶縁膜にコンタクトホールを形成した後、スパッタ法により配線となる $\text{Al-Cu}$ 層を堆積し、レジストマスクを用いて $\text{Al-Cu}$ 層のRIEを行うことにより、ビット線21を形成する。これにより発熱抵抗体層18による加熱層を持つMRAM構造が完成する。

【0043】なお、二重接合構造のMTJ層の場合には、特に接合の近傍に発熱抵抗体を設けなくても、MTJ層自体で発熱できる可能性もある。図4に示すように、 $\text{Al}_2\text{O}_3$ のトンネルバリア層44中を流れるトンネル電子はほとんどエネルギー消費がなく、ホットエレクトロンとして固着層45から記録層43に流れ込む。記録層43に流れ込んだ電子は、二重接合のバリア層44、42で挟まれた記録層43中で散乱を繰り返し、バイアス電圧として印加されたエネルギーを記録層43中に放出する。記録層43中でホットエレクトロンから放出されたエネルギーは熱に変換され、記録層43の温度上昇に寄与する。記録層43中で電子の散乱が十分に大きければ、印加したバイアス電圧とトンネル抵抗で決まる電流量から導かれる印加エネルギーの大部分は熱エネルギーに変換される。このため、それによる温度上昇は上記の通電加熱と同様に考えることができる。ただしこの場合には、記録層43を直接通電加熱していることになる。このとき、記録層43は熱伝導率の低い $\text{Al}_2\text{O}_3$ バリア層44、42で上下を挟まれている（横方向は熱伝導率の低い $\text{SiO}_x$ に囲まれている）ために、熱の逃げは小さく、より有効に記録層43が加熱されると

考えられる。

【0044】図3(a)および(b)に、本発明の他の実施形態に係るMRAMのメモリセルの断面図を示す。図3(a)と図3(b)とは互いに直交する面で切断した断面図である。

【0045】図3(a)に示すように、このMRAMでは、図1の発熱抵抗体層18の代わりに、コンタクト層31および熱電半導体層32が設けられている。図3(b)に示すように、熱電半導体層32としてはN型半導体およびP型半導体を用いられており、2つの熱電半導体層32はコンタクト層31をはさんで2本のビット線21の間に接続されて、熱電効果素子(ペルチェ素子)を構成している。

【0046】このMRAMの場合には、記録層174に対する温度制御層として熱電半導体層32を用い、2種の半導体層を接合させて構成される熱電効果素子に流す電流の方向を変えることにより、加熱も冷却も可能になっている。加熱する場合には、図1のMRAMと同様に、記録層174に温度上昇とともに保磁力が低下する強磁性体を用いればよい。逆に、冷却する場合には、冷却によって強磁性体から反強磁性体へと磁気相転移を起こすFeRhなどの材料を用いればよい。

【0047】

【発明の効果】以上説明したように本発明によれば、素子を微細化しても、スイッチング磁界の増大を防止でき、かつ安定な記憶保持動作を実現できる磁気記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るMRAMの断面図。

【図2】図1のMRAMの製造方法を示す断面図。

【図3】本発明の他の実施形態に係るMRAMの断面図。

【図4】二重接合構造のMTJ層の断面図。

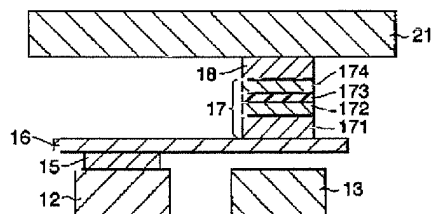
【図5】MRAMの動作曲線を示す図。

【図6】従来例のMRAMの一例を示す断面図。

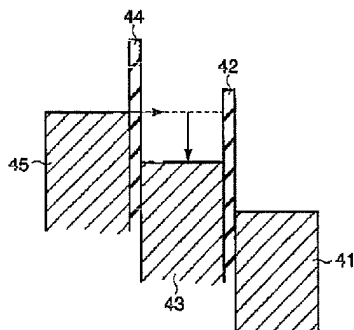
【符号の説明】

- 11…第1の絶縁膜
- 12…ワード線
- 13…ディジット線
- 14…第2の絶縁膜
- 15…第1のコンタクト層
- 16…第2のコンタクト層(下部電極)
- 17…MTJ層
- 171…反強磁性層
- 172…磁化固着層
- 173…絶縁層(トンネルバリア)
- 174…記録層(磁化自由層)
- 18…発熱抵抗体層
- 19…DLC層
- 20…第3の絶縁膜
- 21…ビット線
- 31…コンタクト層
- 32…熱電半導体層

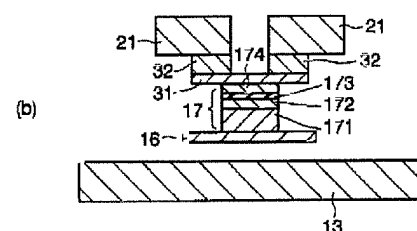
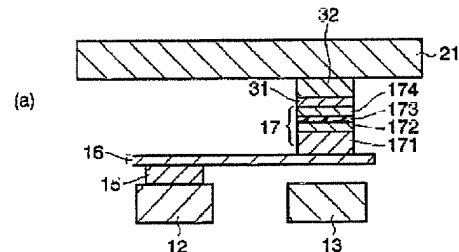
【図1】



【図4】

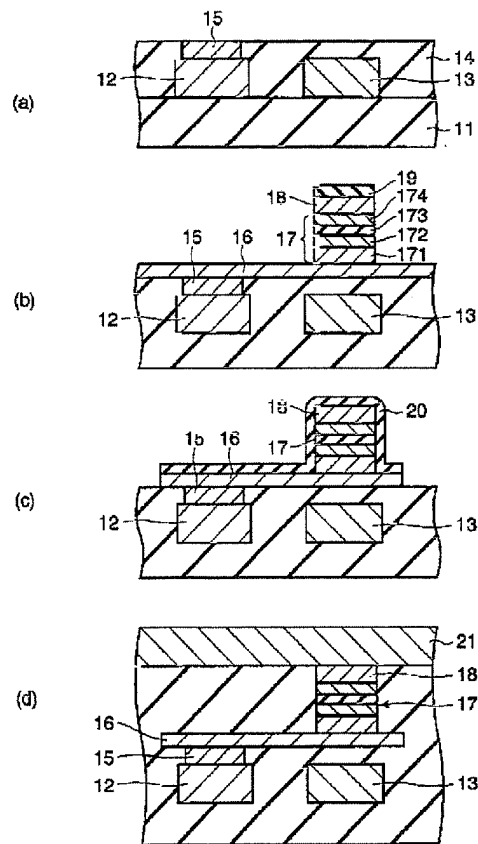


【図3】

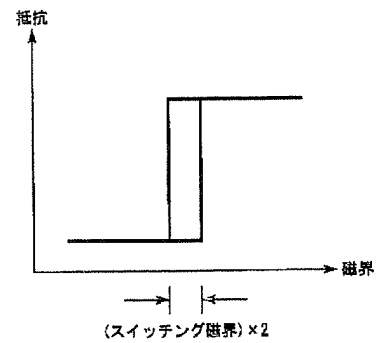




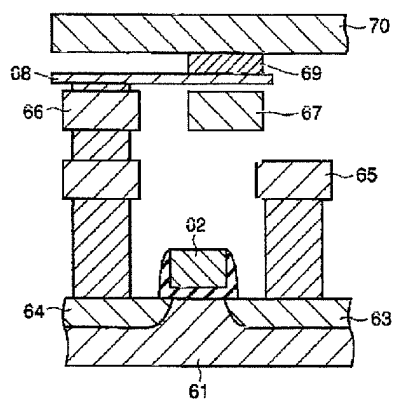
【図2】



【図5】



【図6】



フロントページの続き

(72)発明者 上田 知正  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 與田 博明  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 天野 実  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 岸 達也  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 西山 勝哉  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 浅尾 吉昭  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 岩田 佳久  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

Fターム(参考) 5F083 FZ10 GA11 GA30 JA24 JA36  
JA37 JA39 JA40 JA60 MA06  
MA16 MA19 PR40